

Family list

1 family member for:

JP10189998

Derived from 1 application.

1 No English title available

Publication info: **JP10189998 A** - 1998-07-21

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05906898 **Image available**

5 THIN-FILM SEMICONDUCTOR DEVICE FOR DISPLAY AND ITS MANUFACTURE

PUB. NO.: 10-189998 [JP 10189998 A]

PUBLISHED: July 21, 1998 (19980721)

INVENTOR(s): HAYASHI HISAO

10 APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 08-355285 [JP 96355285]

FILED: December 20, 1996 (19961220)

INTL CLASS: [6] H01L-029/786; G02F-001/136; H01L-021/336

15 JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044
(CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --

20 Metal Oxide Semiconductors, MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To optimize an LDD structure of a thin-film
transistor incorporated in a thin-film semiconductor device for display,
25 wherein a pixel array part and a peripheral circuit part are built
integrally.

SOLUTION: A pixel array part includes a pixel electrode 11, integrated and
formed on an insulation board 1 and a thin-film transistor 9X, which drives
30 it by switching. A peripheral circuit part consists of a thin-film

transistor 9C, integrated and formed on the same insulation board 1 and drives a pixel array part. Each of the thin film transistors 9X, 9C has a laminated structure, wherein the semiconductor thin film 3 and the gate electrode 5 are laminated through the gate insulating film 4. In the 5 semiconductor thin film 3, a channel region CH aligned to the gate electrode 5, a source region S and a drain region D, which are positioned at both sides thereof and whereto impurities are injected at a high concentration and an LDD region which is interposed at least either between the channel region CH and the source region S or between the channel region 10 CH and the drain region D and whereto impurities are injected at a low concentration, are formed. The LDD concentration of a circuit transistor 9C is higher than the LDD concentration of the pixel transistor 9X. The LDD width WC of the circuit transistor 9C is shorter than the LDD width WX of the pixel transistor 9X.

(51) Int.Cl.⁶
 H 01 L 29/786
 G 02 F 1/136
 H 01 L 21/336

識別記号
 500

F I
 H 01 L 29/78 6 1 2 B
 G 02 F 1/136 5 0 0
 H 01 L 29/78 6 1 3 A
 6 1 6 V
 6 1 6 A

審査請求 未請求 請求項の数 3 FD (全 8 頁)

(21)出願番号 特願平8-355285

(22)出願日 平成8年(1996)12月20日

(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号

(72)発明者 林 久雄
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

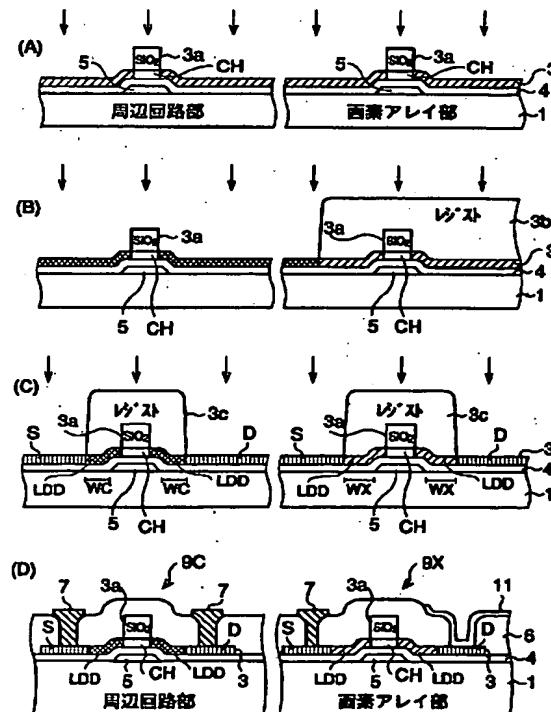
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 表示用薄膜半導体装置及びその製造方法

(57)【要約】

【課題】 画素アレイ部と周辺回路部を一体的に内蔵した表示用薄膜半導体装置に含まれる薄膜トランジスタのLDD構造を最適化する。

【解決手段】 画素アレイ部は絶縁基板1上に集積形成された画素電極11及びこれをスイッチング駆動する薄膜トランジスタ9Xを含んでいる。周辺回路部は同一の絶縁基板1上に集積形成された薄膜トランジスタ9Cからなり、画素アレイ部を駆動する。各薄膜トランジスタ9X, 9Cはゲート絶縁膜4を介して半導体薄膜3とゲート電極5とを重ねた積層構造を有する。半導体薄膜3にはゲート電極5に整合したチャネル領域CHと、その両側に位置し不純物が高濃度で注入されたソース領域S及びドレイン領域Dと、チャネル領域CHとソース領域Sの間及びチャネル領域CHとドレイン領域Dの間の少くとも一方に介在し不純物が低濃度で注入されたLDD領域とが形成されている。回路トランジスタ9CのLD浓度が画素トランジスタ9XのLDD浓度より高い。また、回路トランジスタ9CのLDD幅WCが画素トランジスタ9XのLDD幅WXより短い。



【特許請求の範囲】

【請求項 1】 絶縁基板上に集積形成された画素電極及びこれをスイッチング駆動する薄膜トランジスタを含む画素アレイ部と、同一の絶縁基板上に集積形成された薄膜トランジスタからなり該画素アレイ部を駆動する周辺回路部とを有する表示用薄膜半導体装置であって、各薄膜トランジスタはゲート絶縁膜を介して半導体薄膜とゲート電極とを重ねた積層構造を有し、

該半導体薄膜にはゲート電極に整合したチャネル領域と、その両側に位置し不純物が高濃度で注入されたソース領域及びドレイン領域と、チャネル領域とソース領域の間及びチャネル領域とドレイン領域の間の少くとも一方に介在し不純物が低濃度で注入されたLDD領域とが形成されており、

周辺回路部に属する薄膜トランジスタに設けたLDD領域の不純物濃度が画素アレイ部に属する薄膜トランジスタに設けたLDD領域の不純物濃度より高いことを特徴とする表示用薄膜半導体装置。

【請求項 2】 絶縁基板上に集積形成された画素電極及びこれをスイッチング駆動する薄膜トランジスタを含む画素アレイ部と、同一の絶縁基板上に集積形成された薄膜トランジスタからなり該画素アレイ部を駆動する周辺回路部とを有する表示用薄膜半導体装置であって、各薄膜トランジスタはゲート絶縁膜を介して半導体薄膜とゲート電極とを重ねた積層構造を有し、

該半導体薄膜にはゲート電極に整合したチャネル領域と、その両側に位置し不純物が高濃度で注入されたソース領域及びドレイン領域と、チャネル領域とソース領域の間及びチャネル領域とドレイン領域の間の少くとも一方に介在し不純物が低濃度で注入されたLDD領域とが形成されており、

周辺回路部に属する薄膜トランジスタに設けたLDD領域の幅寸法が画素アレイ部に属する薄膜トランジスタに設けたLDD領域の幅寸法より短いことを特徴とする表示用薄膜半導体装置。

【請求項 3】 絶縁基板上に集積形成された画素電極及びこれをスイッチング駆動する薄膜トランジスタを含む画素アレイ部と、同一の絶縁基板上に集積形成された薄膜トランジスタからなり該画素アレイ部を駆動する周辺回路部とを有する表示用薄膜半導体装置の製造方法であって、

絶縁基板上にゲート絶縁膜を介して半導体薄膜と個々のゲート電極とを重ねた積層構造を形成し、該半導体薄膜に各ゲート電極と整合した個々のチャネル領域を設ける工程と、

チャネル領域を除く半導体薄膜の部分に不純物を第1の低濃度で注入する工程と、

チャネル領域を除く半導体薄膜の部分であって周辺回路部に属する範囲に対して重ねて第2の低濃度で不純物を注入する工程と、

該チャネル領域とこれに接し不純物が低濃度で注入されたLDD領域とを除いた半導体薄膜の部分に重ねて不純物を高濃度で注入しソース領域及びドレイン領域を形成する工程とを行ない、

周辺回路部に属する薄膜トランジスタに設けたLDD領域の不純物濃度を画素アレイ部に属する薄膜トランジスタに設けたLDD領域の不純物濃度より高く制御することを特徴とする表示用薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばアクティブマトリクス型液晶表示装置の駆動基板として用いられる表示用薄膜半導体装置及びその製造方法に関する。より詳しくは、画素アレイ部と周辺回路部を一体的に備えた表示用薄膜半導体装置に集積形成される薄膜トランジスタのチャネル構造に関する。

【0002】

【従来の技術】表示用薄膜半導体装置はアクティブマトリクス型の液晶ディスプレイなどに用いられており、現在盛んに開発が行なわれている。薄膜トランジスタの活性層（チャネル領域）として用いられる半導体薄膜には多結晶シリコンと非晶質シリコンとがある。多結晶シリコン薄膜トランジスタは小型で高精細のカラー液晶ディスプレイを作成することができる。透明な基板上に薄膜トランジスタを集積形成する為、従来の半導体技術では電極や抵抗材料としてのみ活用されていた多結晶シリコンを活性層として用いており、高密度設計が可能な高性能の薄膜トランジスタを実現できる。同時に、従来は外付けのICを用いていた周辺回路部を、画素アレイ部と同一基板上に同一プロセスで形成することが可能になる。非晶質シリコントランジスタでは実現できなかった高精細且つ周辺回路一体型の液晶ディスプレイを実現できる。多結晶シリコンは移動度が大きく薄膜トランジスタの電流駆動能力を高くできるので、高速駆動が必要な周辺回路部の水平走査回路及び垂直走査回路を画素アレイ部の薄膜トランジスタ（画素トランジスタ）と同一基板上に同時に作り込むことができる。従って、基板から外部に取り出す信号線の本数を大幅に削減することができる。多結晶シリコン薄膜トランジスタに対して従来のLSIの微細加工技術が応用でき、画素ピッチの極微細化が可能になり高精細化が容易である。以上の様に優れた特性を有する多結晶シリコン薄膜トランジスタを集積形成した表示用薄膜半導体装置は高精細な特徴を生かして様々な用途に応用範囲を広げている。

【0003】

【発明が解決しようとする課題】ところで、従来多結晶シリコン薄膜トランジスタは製造工程上プロセス最高温度が1000°C程度に達し、耐熱性に優れた石英ガラスなどが絶縁基板として用いられていた。製造プロセス上比較的低融点のガラス基板を使用することは困難であつ

た。しかしながら、液晶ディスプレイの低コスト化の為には低融点ガラス板材料の使用が必要不可欠である。そこで、近年プロセス最高温度が600°C以下になる所謂低温プロセスの開発が進められている。特に、低温プロセスは大型の液晶ディスプレイを製造する時、コスト面から極めて有利になる。しかしながら、低温プロセスでは、薄膜トランジスタのゲート絶縁膜をCVDなどにより低温で形成する為、従来の熱酸化膜に比べるとどうしても膜質が悪く、ゲート絶縁膜中に欠陥を多く有している。この為、特にNチャネルの薄膜トランジスタでは、ドレイン端における電界集中によりホットキャリアが絶縁膜中にトラップされ、ソース/ドレイン間の耐圧が低かった。この為、長期的な信頼性に優れた周辺回路部を作成することが難しかった。そこで、耐圧を向上させる手段として所謂LDD構造が採用されている。LDD領域はソース/ドレインを構成する高濃度不純物領域の各々とチャネル領域との間に設けられた、ソース/ドレインと同じ伝導型の低濃度不純物領域である。この様にLDD領域を設けると多結晶半導体薄膜中に形成されたPN接合のエネルギー障壁の幅が広くなる。この為、PN接合部に加わる電界の強度を弱めることができる。しかしながら、LDD領域は抵抗を有する為、薄膜トランジスタをオンさせた時に流れる電流（オン電流）を小さくしてしまう。また、抵抗がばらついてしまうと、これにより薄膜トランジスタのオン電流もばらつくという結果になってしまう。従って、周辺回路部用の薄膜トランジスタ（回路トランジスタ）には不利な条件となってしまう。

【0004】一方、画素トランジスタは画素に対する画像信号のサンプリング及びホールドに用いられる為、回路トランジスタとは別の電気特性が要求される。即ち、画素トランジスタを導通状態にした時、画素を充電される為にある程度の駆動電流（オン電流）を供給できることと、画素トランジスタを非導通状態にした時電荷の形でホールドされた画像信号を維持する為極力リーク電流（オフ電流）が流れないことである。特に、液晶セルなどを用いた画素の静電容量は通常数pF程度の小さな値である為、画素トランジスタが非導通状態の時に僅かでもオフ電流が流れるとドレインの電位即ち画素電極の電位は急激にソースの電位に近づきサンプリングされた画像信号は正しくホールドされなくなってしまう。多結晶半導体薄膜を用いて画素トランジスタを形成した場合、結晶粒界に多くのトラップ準位が極在している為、このトラップを介してかなり多くのリーク電流が流れてしまう。このリーク電流を抑える為にも前述したLDD領域が効果的である。このLDD領域はPN接合部に加えられる電界強度を弱められる為ソース/ドレイン間のリーク電流を抑制できる。なお、通常LDD（Lightly Doped Drain）というのはドレイン側にのみ設けるのでこの様に呼ばれている。しかしながら、

液晶駆動用の画素トランジスタの場合には電流を双方向に流す必要があるので、どちらがソースでどちらがドレインであるとの区別がない。従って、以下の説明においては特別の断りがない限り両側に低濃度不純物領域（LDD領域）があるものとする。

【0005】以上の様に、回路トランジスタと画素トランジスタではLDD領域に要求される機能が異なっている。回路トランジスタではなるべく大きなオン電流を確保する必要がある一方オフ電流はそこそこ抑制できればよい。これに対し、画素トランジスタではオフ電流を極力抑制する必要がある一方、オン電流はそこそこの値が取れればよい。以上の点に鑑み、本発明は回路トランジスタと画素トランジスタとで調和の取れたLDD構造を提供することを目的とする。

【0006】

【課題を解決する為の手段】上述した目的を達成する為に以下の手段を講じた。即ち、本発明に係る表示用薄膜半導体装置は基本的な構成として画素アレイ部と周辺回路部とを有する。画素アレイ部は絶縁基板上に集積形成された画素電極及びこれをスイッチング駆動する薄膜トランジスタを含む。一方、周辺回路部は同一の絶縁基板上に集積形成された薄膜トランジスタからなり画素アレイ部を駆動するものである。画素アレイ部及び周辺回路部に形成された薄膜トランジスタはゲート絶縁膜を介して半導体薄膜とゲート電極とを重ねた積層構造を有する。半導体薄膜にはチャネル領域とソース領域及びドレイン領域とLDD領域とが形成されている。チャネル領域はゲート電極に整合した位置にある。ソース領域及びドレイン領域はチャネル領域の両側に位置し、不純物が高濃度で注入されている。LDD領域はチャネル領域とソース領域の間及びチャネル領域とドレイン領域の間の少くとも一方に介在し不純物が低濃度で注入されている。特徴事項として、周辺回路部に属する薄膜トランジスタに設けたLDD領域の不純物濃度が画素アレイ部に属する薄膜トランジスタに設けたLDD領域の不純物濃度より高い。また、他の特徴事項として、周辺回路部に属する薄膜トランジスタに設けたLDD領域の幅寸法が画素アレイ部に属する薄膜トランジスタに設けたLDD領域の幅寸法より短い。本発明は表示用薄膜半導体装置の製造方法も包含している。まず、絶縁基板上にゲート絶縁膜を介して半導体薄膜と個々のゲート電極とを重ねた積層構造を形成し、該半導体薄膜に各ゲート電極と整合した個々のチャネル領域を設ける。次に、チャネル領域を除く半導体薄膜の部分に不純物を第1の低濃度で注入する。続いて、チャネル領域を除く半導体薄膜の部分であって周辺回路に属する範囲に対して重ねて第2の低濃度で不純物を注入する。この後、該チャネル領域とこれに接し不純物が低濃度で注入されたLDD領域とを除いた半導体薄膜の部分に重ねて不純物を高濃度で注入しソース領域及びドレイン領域を形成する。係る製造方法

により、周辺回路部に属する薄膜トランジスタに設けた LDD領域の不純物濃度を画素アレイ部に属する薄膜トランジスタに設けた LDD領域の不純物濃度より高く制御することができる。

【0007】本発明によれば、回路トランジスタの LDD領域の濃度は画素トランジスタの LDD領域の濃度より高い。換言すると、回路トランジスタの LDD領域の電気抵抗は画素トランジスタの LDD領域の電気抵抗より低い。また、回路トランジスタの LDD領域の幅は画素トランジスタの LDD領域の幅より短い。換言すると、回路トランジスタの LDD領域の電気抵抗は画素トランジスタの LDD領域の電気抵抗より低い。係る構成により、回路トランジスタは耐圧を満足させながら可能な限り大きなオン電流を取れる様にできる。一方、画素トランジスタはほどほどオン電流ながらオフ電流を極力小さくすることができる。

【0008】

【発明の実施の形態】以下図面を参照して本発明の実施形態を詳細に説明する。図1は本発明に係る表示用薄膜半導体装置の第1実施形態を示す工程図である。図示を簡略化する為、図面の左側に周辺回路部用の回路トランジスタを1個示し、図面の右側に画素アレイ部用の画素トランジスタを1個示している。本実施形態ではNチャネル型の薄膜トランジスタを絶縁基板上に集積形成して、アクティブマトリクス型表示装置の能動素子基板に用いる表示用薄膜半導体装置を作成している。なお、Pチャネル型の薄膜トランジスタを形成する場合も全く同様である。また、本実施形態ではボトムゲート型の薄膜トランジスタを集積形成している。

【0009】まず工程(A)で、ガラスなどからなる絶縁基板1上にゲート電極5を形成する。具体的には、Al, Mo, Ta, Ti, Crなどの金属膜、不純物を高濃度でドープした多結晶シリコン膜、高濃度ドープ多結晶シリコンと金属の積層膜、又はこれらの材料の合金膜を成膜し、所定の形状にパタニングしてゲート電極5に加工する。その膜厚は例えば100nmである。次いで、APCVD法、LPCVD法、又はプラズマCVD法で、SiO₂を例えば100nmの厚みで成膜し、ゲート絶縁膜4とする。この後、非晶質シリコンからなる半導体薄膜3を例えば40nmの厚みで成膜する。更に、エキシマレーザなどのエネルギービームを照射する。このレーザニールにより非晶質シリコンが多結晶シリコンに転換される。この後、SiO₂を約200nmの厚みで成膜した後、所定の形状にパタニングしてストッパー3aに加工する。この場合、裏面露光技術を用いてゲート電極5と整合する様にストッパー3aをパタニングしている。この様に、絶縁基板1上にゲート絶縁膜4を介して半導体薄膜3と個々のゲート電極5とを重ねた積層構造を形成する。また、個々のゲート電極5とセルフアライメントでストッパー3aを形成することによ

り、半導体薄膜3に各ゲート電極5と整合した個々のチャネル領域CHを設けている。この後、チャネル領域CHを除く半導体薄膜3の部分に不純物を第1の低濃度で注入する。具体的には、Nチャネルの薄膜トランジスタの場合、不純物として例えればリンPをイオンドープする。そのドーズ量はリンの原子数に換算して、 $5 \times 10^{12} / \text{cm}^2$ 程度である。低温プロセスを採用した場合、大きなガラス板などの絶縁基板1を用いる為、イオンドープ法により不純物を注入する。このイオンドーピングはプラズマで発生させたイオンを特に質量分離にかけることなく電界加速して半導体薄膜3に照射するものである。なお、このイオンドーピングではストッパー3aがマスクとなる為、チャネル領域CHには不純物は注入されない。

【0010】工程(B)に進み、チャネル領域CHを除く半導体薄膜3の部分であって周辺回路部に属する範囲に対して重ねて第2の低濃度で不純物を注入する。具体的には、画素アレイ部に属する薄膜トランジスタをレジスト3bでマスキングし、再度リンをイオンドーピングする。そのドーズ量は例えば $1 \times 10^{13} / \text{cm}^2$ に設定する。この後、使用済みとなったレジスト3bを剥離する。以上により、画素アレイ部に属する半導体薄膜3に対しては1回のイオンドーピングが行なわれたことになり、周辺回路部に属する半導体薄膜3に対しては2回のイオンドーピングが行なわれたことになる。従って、不純物濃度は前者よりも後者の方が高くなる。

【0011】工程(C)に進み、チャネル領域CHとこれに接し不純物が低濃度で注入されたLDD領域とを除いた半導体薄膜3の部分に重ねて不純物を高濃度で注入し、ソース領域S及びドレイン領域Dを形成する。前述した様に、回路トランジスタに設けたLDD領域の不純物濃度を画素トランジスタに設けたLDD領域の不純物濃度より高く制御している。具体的には、個々のストッパー3aを含む領域にレジスト3cをパタニングする。この時、回路トランジスタ側のレジスト3cのパターンサイズを画素トランジスタ側のレジスト3cのパターンサイズより小さくしておく。これらのレジスト3cをマスクとしてイオンドーピングにより不純物を高濃度で半導体薄膜3に注入し、ソース領域S及びドレイン領域Dを形成する。この時のドーズ量は例えば $1 \times 10^{15} / \text{cm}^2$ 程度である。レジスト3cにより被覆された部分にはLDD領域が残される。これにより、所謂LDD構造を有するボトムゲート型の薄膜トランジスタが得られる。この時、回路トランジスタに設けたLDD領域の幅寸法WCが画素トランジスタに設けたLDD領域の幅寸法WXより短くなっている。この後、使用済みとなったレジスト3cを除去する。更に、レーザニールなどでソース領域S及びドレイン領域Dを活性化させる。以上により、回路トランジスタのLDD領域の電気抵抗は10～100kΩ/□程度となり、画素トランジスタのLDD

D領域の電気抵抗は100～1000 kΩ/□の範囲になる。また、回路トランジスタのLDD領域の幅寸法WCは0.5～1.0 μm程度であり、画素トランジスタのLDD領域の幅寸法WXは1.0～2.0 μmである。

【0012】最後に工程(D)に進み、半導体薄膜3をアイランド状にエッチングして不要部分を基板1から除去する。この後、 SiO_2 を約600 nmの厚みで堆積し、層間絶縁膜6とする。この層間絶縁膜6にコンタクトホールを開口し、ソース領域S及びドレイン領域Dの一部を露出させる。次いでAlとSiの合金又はMoなどを約600 nmの厚みで成膜し、所定の形状にパタニングして配線電極7に加工する。また、ITOなどの透明導電膜をスパッタリングなどにより堆積し所定の形状にパタニングして画素電極11に加工する。この画素電極11は層間絶縁膜6に開口したコンタクトホールを介して画素トランジスタのドレイン領域Dに電気接続している。以上の工程により、周辺回路部には回路トランジスタ9Cが集積形成され、画素アレイ部には画素トランジスタ9Xが集積形成される。

【0013】図2は、薄膜トランジスタのLDD領域の不純物濃度(LDD濃度)と薄膜トランジスタのオン電流及びオフ電流との関係を示す模式的なグラフである。グラフ中、ONはオン電流を示し、OFFはオフ電流を表わしている。また、NXは画素トランジスタのLDD濃度を示し、NCは回路トランジスタのLDD濃度を表わしている。グラフから明らかにNCはNXより大きい。この結果、回路トランジスタではLDD領域を設けたにも関わらず比較的大きなオン電流を確保でき、オフ電流もそこそこ抑制可能である。一方、画素トランジスタはそこそこのオン電流を確保できるとともにオフ電流を極力抑制している。例えば、回路トランジスタのオン電流はLDD領域がない時に比べても2/3程度まで確保でき、低電圧駆動が可能である。また、LDD領域の電気抵抗をトランジスタのオン抵抗よりも小さく制御することで、LDD抵抗のばらつきがオン電流にそれ程影響を与えなくなり、回路定数のばらつきが小さくなる。これは、高画質に貢献する。一方、画素トランジスタのオン電流はLDD領域がない場合に比べ1/3程度になるが、液晶画素を駆動するには充分である。そして、信号電圧を保持するオフ電流(リーク電流)を極力小さく保つことができる。この様に、本発明では2度のLDDドープ工程を採用することで、周辺回路部側と画素アレイ部側でドーズ量を別々に調整し、最適な薄膜トランジスタを作成することができる。以上により、歩留り向上、高画質化及び高コントラスト化が達成できる。

【0014】図3は、LDD領域の幅寸法(LDD幅)とオン電流及びオフ電流との関係を示すグラフである。グラフ中WCが回路トランジスタのLDD幅を示し、W

Xが画素トランジスタのLDD幅を表わしている。オフ電流OFFについてはLDD幅に対する依存性はあまりない。これに対し、オン電流についてはLDD幅にほぼ比例した関係が得られる。即ち、LDD幅が短い程オン電流ONが大きくなる。この点に鑑み、回路トランジスタのLDD幅WCを比較的短く取り、画素トランジスタのLDD幅WXを比較的長く設定している。

【0015】図4は、本発明に係る表示用薄膜半導体装置の第2実施形態を示す模式的な部分断面図である。本実施形態ではトップゲート構造の薄膜トランジスタを作成している。理解を容易にする為、画素アレイ部側は1個の画素トランジスタ9Xと対応する画素電極11を示しており、周辺回路部側は1対のNチャネルトランジスタ9NCとPチャネルトランジスタ9PCを示している。Nチャネルトランジスタ及びPチャネルトランジスタはCMOS回路を構成する為に用いられる。まず、ガラス板などからなる絶縁基板1の上に下地膜を形成する。この下地膜はSiN膜2a及び SiO_2 膜2bの積層構造からなり、絶縁基板1中に含まれるリチウム、ナトリウム、ボロン、アルミニウム又はカリウムの上方拡散を防止している。次に、2層の下地膜の上に非晶質シリコン又は多結晶シリコンからなる半導体薄膜3をCVD法により成長させる。半導体薄膜3の膜厚は薄膜トランジスタの閾電圧を考慮に入れる100 nm以下に設定することが必要である。薄膜トランジスタの動作特性や半導体薄膜3の結晶性を考慮すると、半導体薄膜3の膜厚は可能な限り薄くすることが有利である。でき上がりの膜厚とプロセス中における膜厚減少を考慮に入れると半導体薄膜3は50 nm以下の厚みで成膜することが望ましい。続いて、ガラス基板1を加熱しながらレーザ光を照射して半導体薄膜3を非晶質から多結晶に転換する。この後、半導体薄膜3を薄膜トランジスタの素子領域毎に分離する為フォトレジスト法及びエッチング法によりアイランド状にパタニングする。

【0016】使用済みになったフォトレジストを剥離しアンモニアと過酸化水素水の混合液で絶縁基板1の表面を洗浄する。そして SiO_2 をCVD法で成長させゲート絶縁膜4を設ける。この後ゲート材料をCVD法又はスパッタ法で堆積する。その膜厚は200～400 nm程度であり、ゲート材料としてはAl, Mo, Wなどの金属(Metal)又は金属シリサイドが使われる。この後、成膜されたゲート材をフォトレジスト法及びエッチング法でパタニングし、ゲート電極5に加工する。このゲート電極5をマスクとしてイオンドーピングにより不純物を半導体薄膜3に注入し、ソース領域S、ドレイン領域D及びLDD領域を形成する。Nチャネルトランジスタ9NCを形成する場合には不純物として砒素又はリンを使い、Pチャネルトランジスタ9PCを形成する場合には不純物としてボロンを使う。この後、注入された不純物を活性化する。熱アニール、ランプ光による瞬

時アニール、レーザアニールなどでこの活性化を行なうことができる。次に、 SiO_2 をCVD法で堆積し層間絶縁膜6を設ける。この層間絶縁膜6にソース領域S及びドレイン領域Dに連通するコンタクトホールを開口する。層間絶縁膜6の上にアルミニウム(A1)をスパッタ法で堆積し、フォトレジスト法とエッチング法により所定の形状にパタニングして配線電極7を設ける。更に、層間絶縁膜6の上に画素電極11をパタニングする。この画素電極11はコンタクトホールを介して画素トランジスタ9Xのドレイン領域Dに接続する。

【0017】本実施形態では、周辺回路部側のNチャネルトランジスタ9NCはLDD構造を有する一方、Pチャネルトランジスタ9PCはLDD構造を有していない。また、画素アレイ部側のトランジスタ9XはLDD構造を有している。回路トランジスタ9NCのLDD濃度は画素トランジスタ9XのLDD濃度より高く設定されている。場合によっては、回路トランジスタ9NCのLDD幅を画素トランジスタ9XのLDD幅より短くしてもよい。

【0018】最後に、図5を参照して本発明に従って製造された表示用薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示装置の一例を簡潔に説明する。本表示装置は駆動基板101と対向基板102と両者の間に保持された電気光学物質103とを備えたパネル構造を有する。電気光学物質103としては液晶材料が広く用いられている。駆動基板101は本発明に従って作成されており、周辺回路部と画素アレイ部との間でLDD構造がそれぞれ最適化されている。駆動基板101には画素アレイ部104と周辺回路部とが集積形成されており、モノリシック構造となっている。即ち、画素アレイ部104に加え周辺回路部を一体的に内蔵している。周辺回路部は垂直走査回路105と水平走査回路106とに分かれている。また、駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直走査回路105及び水平走査回路106に接続している。一方、対向基板102の内表面には対向電極やカラーフィルター(図示せず)が全面的に形成されている。画素アレイ部10

4には行状のゲート配線109と列状の信号配線110が形成されている。ゲート配線109は垂直走査回路105に接続し、信号配線110は水平走査回路106に接続している。両配線の交差部には画素電極111とこれを駆動する薄膜トランジスタ112が集積形成されている。また、垂直走査回路105及び水平走査回路106にも薄膜トランジスタが集積形成されている。

【0019】

【発明の効果】以上説明したように、本発明によれば、回路トランジスタのLDD濃度が高くなり、画素トランジスタのLDD濃度が低くなる様にしている。また、回路トランジスタのLDD幅が短く、画素トランジスタのLDD幅が長くなる様にしている。係る構成により、周辺回路部及び画素アレイ部にそれぞれ適した特性を有する薄膜トランジスタを同一の絶縁基板上に集積形成することが可能になる。この為、高性能、高信頼性及び高品質の走査回路内蔵型アクティブマトリクス表示装置を量産することが可能になる。

【図面の簡単な説明】

【図1】本発明に係る表示用薄膜半導体装置の第1実施形態を示す工程図である。

【図2】薄膜トランジスタのLDD濃度とオン電流及びオフ電流との関係を示すグラフである。

【図3】薄膜トランジスタのLDD幅とオン電流及びオフ電流との関係を示すグラフである。

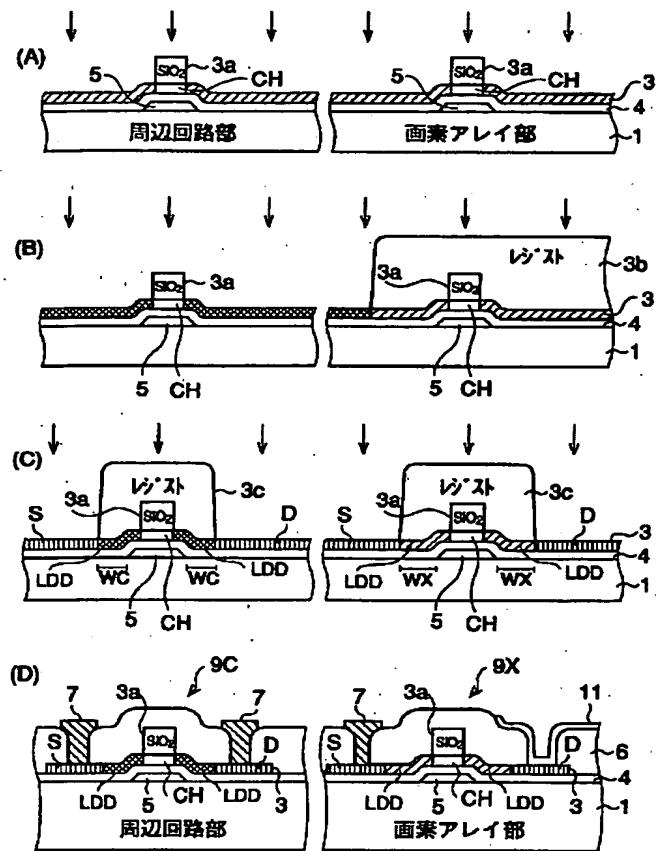
【図4】本発明に係る表示用薄膜半導体装置の第2実施形態を示す部分断面図である。

【図5】本発明に係る表示用薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の一例を示す斜視図である。

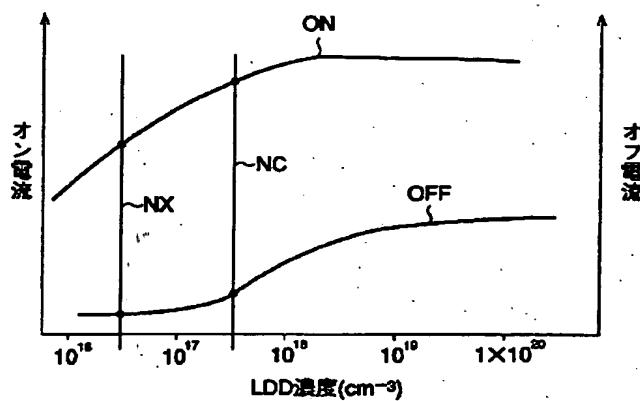
【符号の説明】

1...絶縁基板、3...半導体薄膜、4...ゲート絶縁膜、5...ゲート電極、6...層間絶縁膜、7...配線電極、9C...回路トランジスタ、9X...画素トランジスタ、11...画素電極、CH...チャネル領域、S...ソース領域、D...ドレイン領域

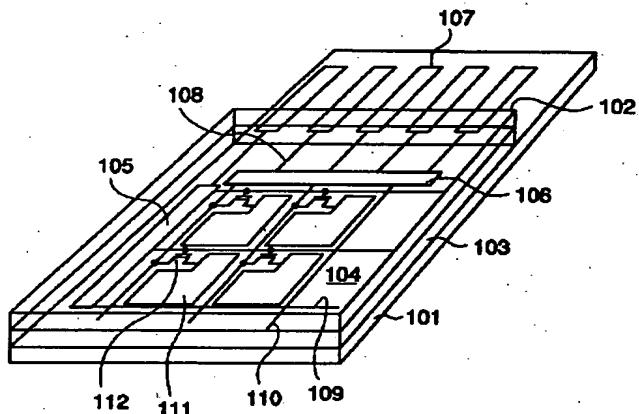
【図1】



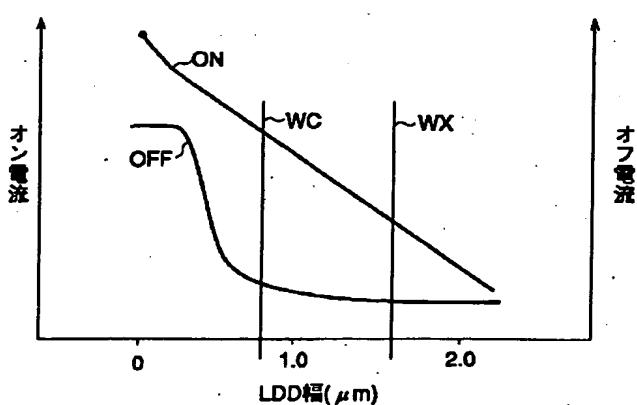
【図2】



【図5】



【図3】



【图4】

